



MINISTÉRIO DA EDUCAÇÃO
SECRETARIA DE EDUCAÇÃO PROFISSIONAL E TECNOLÓGICA
INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE SANTA
CATARINA
CAMPUS SÃO JOSÉ

CONTROLADOR DE PRODUTOS EM DIFERENTES ESTEIRAS

Stefanie Martins

Engenharia de Telecomunicações

Circuitos Lógicos

SÃO JOSÉ

JULHO 201

INTRODUÇÃO

O objetivo principal foi o de criar um controlador e contador de quatro produtos distintos: Produto A, produto B, produto C e produto D. Esses produtos devem ser contabilizados em quatro diferentes esteiras, sendo que cada esteira possui um tipo de produto, onde a partir da quantidade de produtos que passarem no tempo de 15 segundos será definido a velocidade pelo qual as esteiras irão trabalhar. As quantidades esperadas de cada produto dentro deste intervalo são as seguintes: Produto A = 3 produtos, Produto B = 4 produtos, Produto C = 5 produtos e Produto D = 6 produtos. Os produtos serão contabilizados através de um operador físico, o qual irá pressionar o botão cada vez que houver a passagem de um produto. Caso essa quantidade seja abaixo da esperada, o operador da esteira irá aumentar a velocidade da esteira; caso a quantidade seja igual a esperada não será necessário nenhuma alteração na velocidade da esteira e caso a quantidade seja acima do esperado, o operador irá diminuir a velocidade da esteira.

DESENVOLVIMENTO

Contador Módulo 15

O projeto foi iniciado na montagem de um Contador Módulo 15, este possui a função de realizar a contagem de 00 a 15 segundos a qual será apresentada ao usuário para controle do tempo e servir como parâmetro para início e fim das contagens dos produtos. Para criá-lo foi utilizado uma entrada de Clock, dois Somadores 74162, duas portas AND4, uma NAND2, uma AND2 e sete inversores (NOT). O somador usado possui um auto reset a cada decádico, ou seja, ele irá resetar toda vez que chegar em 9, por isso foi necessário dois somadores deste modelo. Os somadores foram montados da seguinte forma: um somador 74162 serviu para o cálculo das unidades e outro somador, também 74162, para o cálculo das dezenas.

Para isso, às entradas LND, A, B, C, D, ENT e ENP do somador das unidades foram conectados no VCC, o CLK displays no clock recebido da placa (conectado ao pino PIN_T1 da placa), o qual passou por um contador de 1s (modulus 50000000) para enviar um sinal ao somador a cada um segundo. As saídas deste primeiro somador foram as seguintes: A, B, C e D conectados a outputs para serem utilizados mais adiante e o RCO foi conectado a entrada ENP do segundo somador 74162, o das dezenas, para que este segundo somador poder iniciar a sua contagem, pois este contará apenas a cada 10 segundos, ou seja, o RCO irá gerar um pulso que ativa este somador a cada 10 segundos.

Para o segundo somador as entradas LND, A, B, C, D e ENT também foram conectadas ao VCC, o seu CLK foi conectado ao mesmo clock do primeiro somador assim como o seu CLRN. De mesmo modo, as suas saídas A, B, C e D foram conectadas a outputs também para serem utilizadas mais adiante. Para que esses dois somadores seja, resetados ao chegar em 15 segundos, foi criado uma lógica para ser utilizada no CLRN dos mesmos. O primeiro somador foi setado para que ao chegar em 5 ele encaminhe um sinal de nível alto a uma das portas AND4, como o número 5 em binário é 0101, foi utilizado inversores nas saídas B e D, já que a porta AND apenas irá enviar o sinal caso todos os sinais recebidos por ela forem níveis altos, sendo esse sinal recebido por uma porta NAND2. O mesmo foi feito com o segundo somador, o qual foi conectado a porta A a mesma entrada NAND2 utilizada pelo primeiro somador. Sendo assim quando os dois somadores enviarem um sinal de nível alto para a porta NAND2, a cada 15 segundos, a porta NAND2 enviaria um sinal nível baixo para os CLRN dos somadores, já que o mesmo é passa baixa e ao receber o sinal irá resetar as contagens dos mesmos, o que torna estes contadores em contadores de módulo 15.

Neste mesmo módulo, foi criado uma outra lógica para ser utilizada posteriormente como reset dos produtos. Para isso foram conectadas as entradas do primeiro somador a uma porta AND4, onde todas passavam por um inversor, para assim, quando o somador das unidades estiver em nível baixo será enviado um sinal de nível alto para uma porta AND2. O mesmo aconteceu com o o segundo somador, o qual a sua saída também foi ligada a um inversor e conectada a porta AND2. Sendo assim, quando os dois somadores estiverem em representado o número 0, será enviado um sinal nível alto para uma saída chamada Reset, a qual é utilizada posteriormente pelos produtos.

Display

Para o display, foram utilizadas as saídas dos dois somadores e dois BCD para 7 segmentos (7448), os quais convertem os números recebidos em saídas para os leds do display, formando assim um número obtido em binário em um número decimal. As entradas A, B, C e D do primeiro display recebem respectivamente as saídas A, B, C e D do somador das dezenas e as entradas A, B, C e D do segundo display recebem respectivamente as saídas A, B, C e D do somador das unidades. As entradas LTN, RBIN e BIN, foram conectadas ao VCC, já que são entradas baixas e não serão utilizadas. As saídas foram utilizadas para conectar nos pinos da placa FPGA, ficando como saídas OA1, OB1, OC1, OD1, OE1, OF1, OG1, OH1, OI1, OJ1, OK1, OL1, OM1 e ON1, conectadas nos respectivos pinos da FPGA PIN_V2, PIN_V1, PIN_U2, PIN_U1, PIN_Y2, PIN_Y1, PIN_W2, PIN_R5, PIN_T5, PIN_T3, PIN_T4, PIN_M6, PIN_N7 e PIN_N6.

Produtos

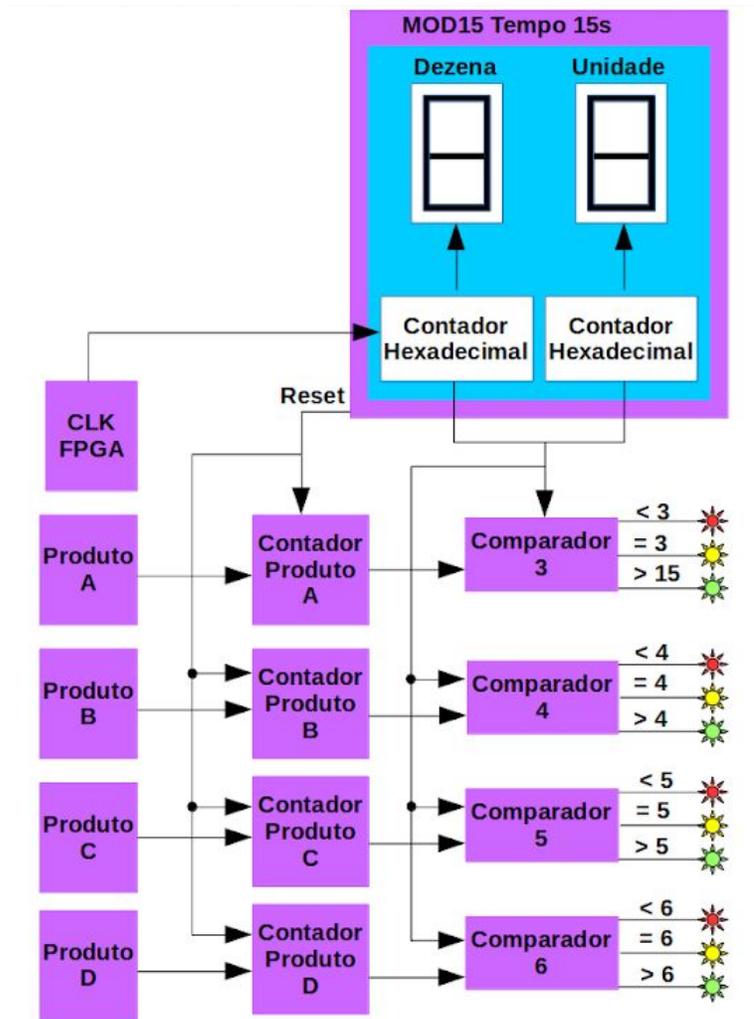
Os produtos foram feitos de modos semelhantes uns aos outros, possuindo uma entrada de clock em comum para os quatro produtos e uma entrada individual para o botão de cada produto, a associação dos botões na placa foi a seguinte: PIN_U22 para o Produto A, PIN_U21 para o Produto B, PIN_W19 para o Produto C e PIN_Y17 para o Produto D. O CLKprodutos foi conectado no clock recebido da placa (conectado ao pino PIN_T2 da placa), o qual passou por um contador de 1ms (modulus 50000) para enviar um sinal a entrada do debounce a cada um milissegundo. O botão foi conectado a entrada sw, também do debounce.

O debounce foi utilizado para que converter o sinal obtido pelo CLKprodutos e pelo botão em um pulso síncrono que pudesse ser lido pelo comparador. Sendo assim, a saída sw_debouce foi conectada ao CLK do somador 74161, para que em cada pulso enviado pelo debounce possa ser contabilizado. Vale lembrar que o 74161 é um somador que vai de 00 à 15. As entradas LND, A, B, C, D, ENT e ENP foram conectadas ao VCC e a saída de Reset gerada pelo Contador de Módulo 15 foi conectada ao inversor e a entrada CLRn, já que esta entrada é baixa, para que a cada 15 segundos o mesmo possa ser resetado na contagem. As saídas A, B, C e D foram conectadas as entradas A0, A1, A2 e A3 do comparador 7485.

As entradas B0, B1, B2 e B3 do comparador foram setadas de acordo com o valor desejado em cada produto. O Produto A ficou com as entradas B0 e B1 ligadas ao VCC e as entradas B2 e B3 ligadas ao GND, gerando assim o número 3 em binário (0011). O Produto B ficou com as entradas B0, B1 e B3 ligadas ao GND e a entrada B2 ligada ao VCC, gerando assim o número 4 em binário (0100). O Produto C ficou com as entradas B0 e B2 ligadas ao VCC e as entradas B1 e B3 ligada ao GND, gerando assim o número 5 em binário (0101). O Produto D com a entrada B0 e B3 ligadas ao GND e a B1 e B2 ligadas ao VCC, gerando assim o número 6 em binário (0110). As demais entradas ALBI, AEBI e AGBI de todos os quatro produtos foram conectadas ao VCC. Com isso, os comparadores realizavam a comparação entre o número recebido pelo somador (o qual era o número de vezes que o operador de esteira pressionou o botão) e o número setado para cada produto, obtendo nas saídas três opções: ALBO caso o número do somador fosse maior que o número setado, AEBO o número do somador fosse igual ao número setado e AGBO o número do somador fosse menor que o número setado. Essas saídas foram conectadas aos pinos do led da placa FPGA para emitir

determinada cor em determinada situação, ficando ALBO com a cor azul, AEBO com a cor verde e AGBO com a cor vermelha. Como a placa só possuía um led com cores diferentes, um produto ficou o com esse led e os demais foram associados a outros leds da placa ficando da seguinte forma: PIN_F10 para o PAbblue, PIN_C8 para o PAgreen, PIN_E9 para o PAred, PIN_G9 para o PBblue, PIN_F9 para o PBgreen, PIN_F8 para o PBred, PIN_G8 para o PCblue, PIN_H11 para o PCgreen, PIN_P6 para o PAred, PIN_E7 para o PCblue, PIN_D7 para o PCgreen e PIN_D6 para o PAred. Os leds utilizados respectivamente foram os da matriz de led, o ponto decimal do display 1 e o led RGB.

Segue abaixo um fluxograma do funcionamento do projeto.



RESULTADOS

Ao final do projeto foi possível observar um funcionamento dentro do esperado: os displays da placa FPGA apresentaram a contagem de 00 à 15 segundos e os leds associados acendendo e apagando para representar se as contagens estavam ou não dentro dos padrões estipulados, quando os displays retornavam a contagem para 0, automaticamente os valores dos somadores dos produtos eram zerados retornando para 0 a contagem e permanecendo acesos apenas os leds que informavam que a contagem dos produtos estava abaixo do esperado. Após o reset, o programa inicia todo o processo novamente.

CONCLUSÕES

Os objetivos propostos foram realizados conforme as limitações da placa FPGA, alcançando o êxito esperado. Ocorreu uma alteração ao plano inicial em relação ao produto D, já que inicialmente o mesmo estava sendo criado com o objetivo de seguir a seguinte sequência de cores: azul, verde e vermelho, porém foi observado que ao gerar essa ordem de cores os contadores dos displays aceleravam a sua contagem, não permanecendo em um segundo entre a troca de cada número. Por isso a sequência de cores ficou azul, vermelho e verde, já que não foram apresentados problemas na execução desta sequência. O ocorrido foi informado ao professor, o qual verificou que não havia nenhuma explicação lógica para o que estava acontecendo e permitiu que os leds ficasse na última sequência informada. Além disso o quartus, o programa qual foi utilizado para a reprodução do projeto, requer muita atenção em pequenos detalhes como nomes iguais ou fios não conectados a nenhuma entrada ou saída, já que o mesmo gera erros na compilação caso esse tipo de coisa ocorra, além de que ao longo do processo é necessário um cuidado extra para que não haja alterações nas configurações do mesmo, pois quando isso ocorre é ocasionado certos travamentos ou até mesmo perda do projeto, como ocorreu por algumas vezes ao decorrer deste.

REFERÊNCIAS

https://wiki.sj.ifsc.edu.br/wiki/index.php/Pinagem_dos_dispositivos_de_entrada_e_sa%C3%ADda_do_kit_MERCURIO_IV

[https://wiki.sj.ifsc.edu.br/wiki/index.php/CIL-EngTel_\(p%C3%A1gina\)](https://wiki.sj.ifsc.edu.br/wiki/index.php/CIL-EngTel_(p%C3%A1gina))

<http://www.ti.com/lit/ds/symlink/sn54als163b.pdf>

<http://www.ti.com/lit/ds/symlink/sn74als191a.pdf> <http://www.ti.com/lit/ds/sdls123/sdls123.pdf>

https://wiki.sj.ifsc.edu.br/wiki/index.php/Display_de_7_segmentos