

INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE SANTA CATARINA
CAMPUS SÃO JOSÉ

Componente Curricular: Circuitos Lógicos

Professor: Odilson Tadeu Valle

Aluno: João Pedro Menegali Salvan Bitencourt & Augusto Bastezini

Turma: 290021x

Data: 20/12/2016

Contador de três estágios

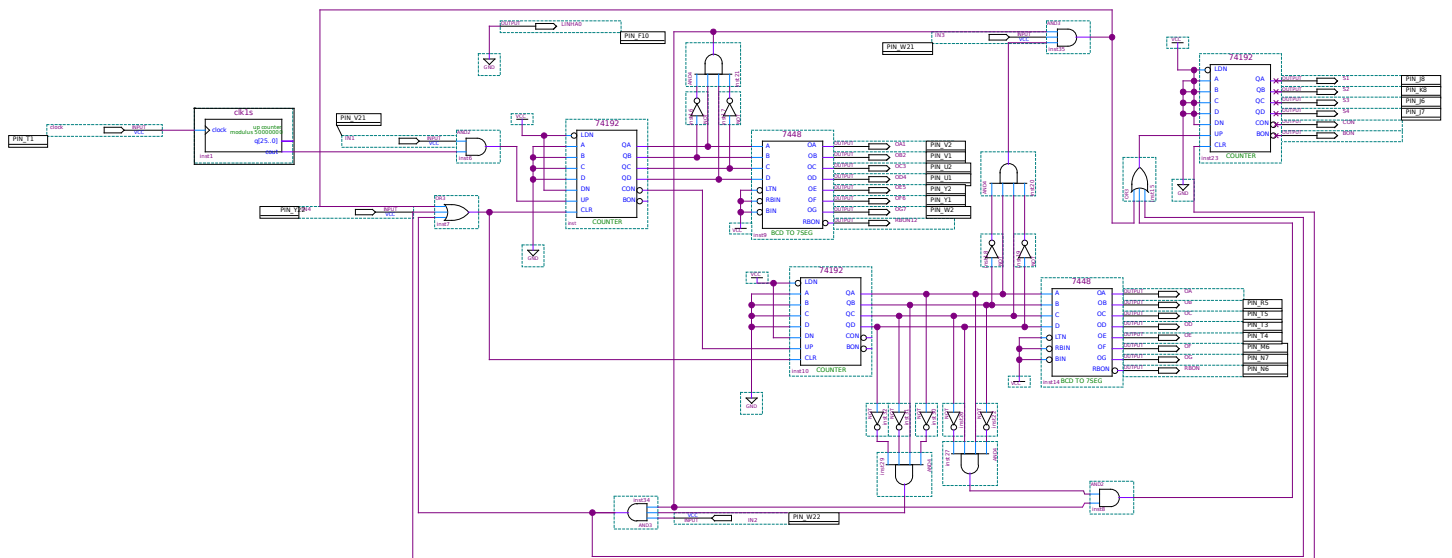
Introdução

Os CIs são dispositivos presentes em diversos equipamentos eletrônicos. Este projeto objetiva a elaboração de um contador de três estágios, acionado por chaves.

Contador de três estágios

Para o desenvolvimento deste projeto foram utilizados três contadores decádicos 74192 conversores "BCD to 7 SEG" 7448, portas OR, portas AND, clock de 1 Hz, inversores. Além disso, como método de entrada de dados, foram utilizados 4 switches. Como saída de dados, foram utilizados dois displays de sete segmentos e quatro LEDs. Foi utilizado uma placa FPGA Mercurio IV modelo Cyclone IV EP4CE30F23. O software utilizado para gravar a programação na referida placa foi o Altera Quartus II versão 13.0.1 sp1.

Abaixo, é mostrado o diagrama esquemático do circuito final:



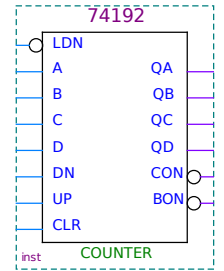
O contador possui três switches como entrada de dados e um para reset de todo o circuito. Na FPGA, os switches são nomeados sw0, sw1, sw2 e sw3, da direita para esquerda, começando, portanto, à esquerda, com sw3. O switch sw0 liga o circuito que começa uma contagem progressiva. A contagem termina quando ambos os displays de sete segmentos atingem o valor nove (9), ou seja 99. Ao atingir esse valor, a contagem recomeça. Se, juntamente com o switch sw0, o switch sw1 for acionado, a contagem segue até que o display à esquerda mostre o valor dois (2) e o display à direita mostre o valor nove (9), ou seja, quando atingir o número 29, a contagem recomeça. Se os switches sw0 e sw2 forem acionados a contagem chega até o valor 59 e então recomeça. Vale ressaltar que o switch sw0 precisa ser acionado sempre pois é ele que liga o circuito. Os switches sw1 e sw2 não devem ser utilizados separadamente, ou seja, ao acionar sw1, por exemplo, sw2 deve estar desativado. Se ambos forem acionados, aquele faz a contagem reiniciar ao chegar no menor valor é o que valerá, em resumo, nesse caso, se o switch que faz a contagem reiniciar no valor 59 e o switch que valor a contagem reiniciar no valor 29 forem acionados juntos com o switch que liga o circuito, a contagem será reiniciada quando atingir o valor 29, pois este é o menor valor.

Para que essa contagem ocorra, foram utilizados dois contadores decádicos 74192. A cada pulso de clock, que nesse caso é de 1 Hz, ele incrementa 1 na contagem e vai fazendo isso até

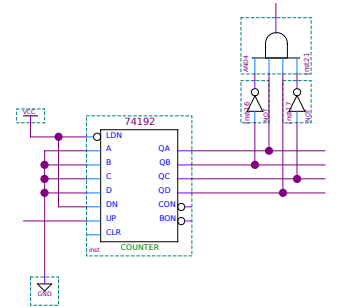
atingir o valor 9 (1001 em binário). Este CI, possui quatro saídas (QA, QB, QC e QD). A contagem recomeça quando as saídas QA e QD assumem o valor um (1) e as saídas QB e QC assumem o valor zero (0).

Após atingir o valor 1001, ocorre um pulso na saída CON. Neste circuito, este pulso é enviado para a entrada de clock de um segundo contador decádico 74192, que o faz incrementar um na saída. Em resumo, toda vez que o primeiro CI atingir o valor 9 em binário, o segundo CI incrementa um.

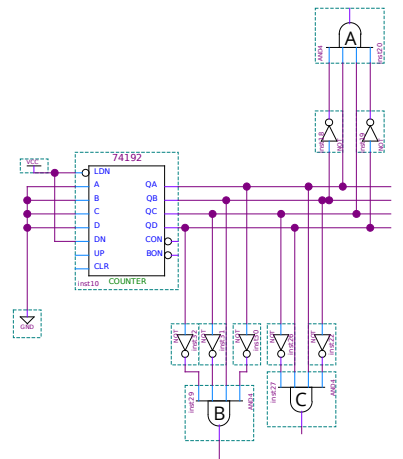
Para que a contagem seja reiniciada nos momentos desejados, foram utilizadas portas AND e OR nas saídas dos CIs.



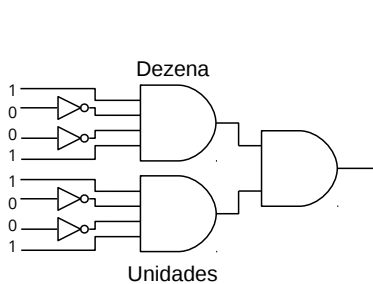
À direita, a figura mostra a porta lógica AND. Os dois inversores em QB e QC, fazem com que essas saídas sejam 1. Quando a saída é 1001 (9), o circuito recomeça a contagem. Esse é o contador das unidades. Todos os estágios têm valores que terminam em 9, então essa parte do circuito foi aproveitada em todos os estágios.



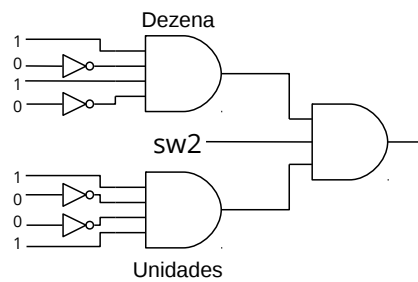
À direita, a figura mostra três portas lógicas AND. A porta lógica "A", tem saída 1 quando recebe o valor 0101 (5 em decimal). A porta lógica "B", tem saída 1 quando recebe o valor 0010 (2 em decimal). A porta lógica "C", tem saída 1 quando recebe o valor 1001 (9 em decimal). Unindo a essa lógica das dezenas com a das unidades, é possível selecionar o momento em que o contador resetará.



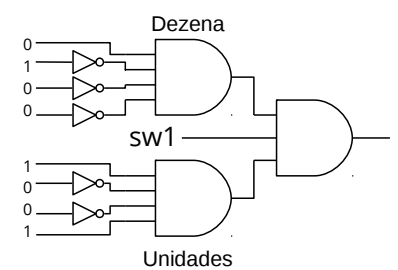
Cada porta AND das dezenas, é ligada a uma porta AND junto com a das unidades. Abaixo, o esquema mostra como ficou a associação para quando os valores são 99, 59 e 29.



Saída 1 quando a entrada for 99



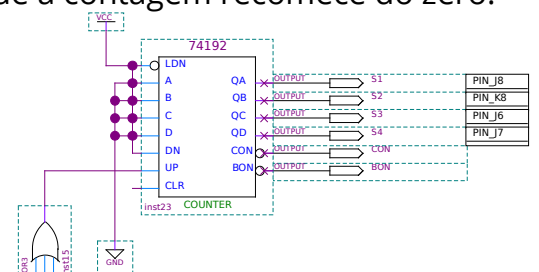
Saída 1 quando a entrada for 59



Saída 1 quando a entrada for 29

Para as lógicas que reiniciam a contagem em 59 e 29 segundos, há um switch em cada uma. É ele quem faz esse controle funcionar. Já a logica que tem valor 1 na saída quando a entrada é 99, existe para a contabilização da contagem, ou seja, o valor 1 da saída será direcionado ao clock de um terceiro contador decádico 74192. Essa mesma saída "um" é direcionada para o reset do contadores das dezenas e unidades, fazendo com que a contagem recomece do zero.

À direita, há mais um contador decádico 74192 (o terceiro deste circuito). Ele contabiliza quantas vezes cada seleção de contagem (29 s, 59 s ou 99 s) foi reiniciada. A saída pode ser vista em quatro LEDs, em forma binária, ou seja, quatro LEDs são quatro bits. A saída, por padrão, é em um (1), ou seja, todos os LEDs ficam, inicialmente, acesos.



Para que os mesmos fiquem apagados, basta colocar um inversor em cada saída, e será possível vê-los acendendo, de forma binária, cada vez uma das três contagem for reiniciada.

Para que uma linha da matriz de seja ativa, é necessário energizar, usando Vcc, o pino de saída da linha desejada. Foram utilizada as quatro primeiras colunas, da esquerda para a direita, da primeira linha.

Por fim, o circuito dispõe de um switch para reset geral. Ao acionar o sw3, que é o primeiro switch da esquerda para a direita, todos os contadores são resetados para estado de saída zero.

Conclusão

Desenvolver esse circuito permitiu perceber o funcionamento de um item trivial no nosso dia a dia. Há contagem de tempo em diversos momentos, seja nos segundos de um relógio, seja num semáforo. Os contadores estão presentes em todos os lugares. Além disso, foi possível perceber as diversas possibilidades que uma FPGA permite realizar.

Com a realização deste projeto, foi possível compreender melhor o que foi visto em sala e ter um melhor entendimento da eletrônica digital.

Referências

C. BRAGA, Newton. 74192 - Contador UP/Down TTL (IP548). Disponível em: <<http://www.newtonbraga.com.br/index.php/ideias-dicas-e-informacoes-uteis/45-circuitos-integrados-ttl/6653-74192-contador-up-down-ttl-ip548jk>>. Acesso em: 12 dez. 2016.

MOECKE, Marcos; TADEU VALLE, Odilson; STEVERT HOELLER JUNIOR, Arliones. Pinagem dos dispositivos de entrada e saída do kit MERCURIO IV. Disponível em: <http://sje76.ifsc.edu.br/wiki/index.php/Pinagem_dos_dispositivos_de_entrada_e_saida_do_kit_MERCURIO_IV>. Acesso em: 12 dez. 2016.

TEXAS INSTRUMENTS. Synchronous 4-bit up/down counters (dual clock with clear). Disponível em: <<http://www.ti.com/lit/ds/symlink/sn74192.pdf>>. Acesso em: 12 dez. 2016.

TEXAS INSTRUMENTS. Bcd-to-seven-segment decoders/drivers. Disponível em: <<http://www.ti.com/lit/ds/symlink/sn7447a.pdf>>. Acesso em: 12 dez. 2016.